

(1) Japanese Patent Application Laid-Open No. 03-212974 (1991)

“SEMICONDUCTOR MEMORY DEVICE”

The following is an English translation of an extract of the above application.

5 The present invention relates to a method of manufacturing a semiconductor memory device, and more particularly to a semiconductor memory device capable of shortening a channel length of an MOS transistor of a peripheral circuit portion in a DRAM having high integration.

 As shown in Fig. 2(c), an upper part of a memory cell portion is covered with a
10 resist layer 41. Next, an ion implantation of phosphorus or the like is performed using a gate electrode 3 of the peripheral circuit portion as a mask, and a gate electrode 34 and a n-type impurity region 35 are formed on a surface of a silicon substrate 21 only in the peripheral circuit portion in a self-aligned manner. The impurity region 35 eases the concentration of an electric field in a source/drain region of MOS transistor in the peripheral
15 circuit portion. The impurity region 35 is formed after the process of forming MOS transistor in the memory cell portion is completed.

 Next, as show in Fig. 2 (d), an ion implantation of arsenic or the like is performed only on a surface of the silicon substrate 21 in the peripheral circuit portion using a resist layer 42, which is a same pattern as the resist layer 41 used in the above-mentioned ion
20 implantation, as a mask. As a consequence of this ion implantation, a sidewall film 31 and a n-type impurity region 36 are formed in a self-aligned manner, and then MOS transistor having a LDD structure is formed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-212974

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月18日

H 01 L 27/108

8624-5F

H 01 L 27/10

3 2 5 R

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 半導体メモリ装置

⑮ 特 願 平2-9105

⑯ 出 願 平2(1990)1月18日

⑰ 発 明 者 伊 藤 政 彦 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑲ 代 理 人 弁理士 小 池 晃 外2名

明細書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

メモリセル部と周辺回路部にそれぞれMOSTランジスタを有する半導体メモリ装置において、上記周辺回路部のMOSTランジスタのゲート電極は上記メモリセル部のMOSTランジスタのゲート電極よりも上層とされ、その周辺回路部のMOSTランジスタのソース・ドレイン領域は上記メモリセル部のMOSTランジスタのソース・ドレイン領域が形成された後にイオン注入により上記周辺回路部のMOSTランジスタのゲート電極に自己整合的に形成されることを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体メモリ装置に関し、特に高集積度のDRAM等において周辺回路部のMOSTランジスタのチャンネル長を短縮化することが可能な半導体メモリ装置に関する。

〔発明の概要〕

本発明のメモリ装置は、メモリセル部と周辺回路部にそれぞれMOSTランジスタを有するメモリ装置において、上記メモリセル部のMOSTランジスタのゲート電極を形成した後、上記周辺回路部のMOSTランジスタのゲート電極を形成し、その周辺回路部のMOSTランジスタのソース・ドレイン領域をその上部のゲート電極と自己整合的に形成することにより、熱処理による上記周辺回路部のMOSTランジスタのソース・ドレイン領域の拡散を防止し、周辺回路部のMOSTランジスタのチャンネル長の短縮化を行って、メモリ装置の高集積化及び高速化を図るものである。

(従来の技術)

DRAM等のメモリセル部と周辺回路部にそれぞれMOSトランジスタを有する半導体メモリ装置において、その半導体メモリ装置の高集積化に伴い、セル面積の縮小化と同時にメモリセル部ではメモリ容量の増大化が図られている。メモリ容量の増大化の方法として、メモリ容量が3次元に積層された所謂スタック型が知られている。

第4図は従来のスタック型のメモリセルを有するDRAMの一例の断面図である。第4図に示すように、DRAMはメモリセル部と周辺回路部にそれぞれMOSトランジスタを有する。メモリセル部のMOSトランジスタはシリコン基板50上の素子分離領域51によって互いに分離され、シリコン基板50上にゲート酸化膜52を介して形成されるゲート電極53によりオン、オフが制御される。このゲート電極53は第1層目のポリシリコン層からなる。上記MOSトランジスタのソース・ドレイン領域54の一方は層間絶縁膜55の開口部を介して素子ノードとして機能する第2層目のポリシリコン層56と接続される。この第

ース・ドレイン領域54上で開口部を有しており、層間絶縁膜55上にはその開口部を介してソース・ドレイン領域54と接続される配線層55が形成される。

(発明が解決しようとする課題)

上述のような従来のスタック型のメモリセルを有するDRAMでは、周辺回路部のMOSトランジスタのゲート電極53やソース・ドレイン領域54等はメモリセル部のMOSトランジスタのゲート電極53やソース・ドレイン領域54等と同じ工程で形成される。即ち、第1層目のポリシリコン層によりゲート電極53、53を形成した後、これらのゲート電極53、53をマスクとしてイオン注入を行い、自己整合的にソース・ドレイン領域54、54を形成する。

ところが、このような半導体メモリ装置では、ソース・ドレイン領域54、54を形成した後の工程で、熱処理が施されるため、その熱処理により周辺回路部のMOSトランジスタのソース・ド

2層目のポリシリコン層56と、この第2層目のポリシリコン層56を覆って形成される絶縁膜57と、その絶縁膜57上のセルプレートである第3層目のポリシリコン層58との間に容量が形成される。また、上記MOSトランジスタのソース・ドレイン領域54の他方は層間絶縁膜55の開口部を介してアルミニウム配線層60に接続される。このアルミニウム配線層60は第3層目のポリシリコン層58を覆って層間絶縁膜55上にも延在する層間絶縁膜59上に形成される。

一方、周辺回路部では、シリコン基板50表面の素子分離領域51に囲まれた領域にソース・ドレイン領域54が互いに離隔して形成される。このソース・ドレイン領域54の間のチャンネル形成領域上にゲート酸化膜52を介してゲート電極53が形成される。このゲート電極53はゲート電極53と同時にパターニングされ、上記第1層目のポリシリコン層からなる。このゲート電極53を覆って素子分離領域51上に延在する層間絶縁膜55が形成される。この層間絶縁膜55はソ

レイン領域54の不純物が拡散する。その結果、周辺回路部のMOSトランジスタのチャンネル長が短くなり、短チャンネル効果によって閾値がくってしまう等の問題が起こる。

このような問題を防止するために、従来のDRAM等の半導体メモリ装置では、予め周辺回路部のMOSトランジスタのチャンネル長を長くとする必要があり、チャンネル長の縮小化に限界があった。従って、半導体メモリ装置の高集積化や高速化が困難とされていた。

そこで、本発明は、かかる従来の実情に鑑みて提案されたものであって、周辺回路部のMOSトランジスタのチャンネル長の短縮化を行い、メモリ装置の高集積化及び高速化を図ることを目的とする。

(課題を解決するための手段)

本発明の半導体装置の製造方法は、上述の目的を達成するために提案されたものである。

即ち、メモリセル部と周辺回路部にそれぞれM

MOSトランジスタを有する半導体メモリ装置において、上記周辺回路部のMOSトランジスタのゲート電極は上記メモリセル部のMOSトランジスタのゲート電極よりも上層の半導体層からなり、その周辺回路部のMOSトランジスタのソース・ドレイン領域は上記メモリセル部のMOSトランジスタのソース・ドレイン領域が形成された後にイオン注入により上記周辺回路部のMOSトランジスタのゲート電極に自己整合的に形成されることを特徴とする。

(作用)

本発明では、周辺回路部のMOSトランジスタのゲート電極をメモリセル部のMOSトランジスタの形成工程が完了した後形成する。そして、このゲート電極をマスクとしてイオン注入を行い、周辺回路部のMOSトランジスタのソース・ドレイン領域を上記ゲート電極と自己整合的に形成する。従って、このソース・ドレイン領域はメモリセル部のMOSトランジスタが形成された後の熱

処理を経る回数が少なくなる。このため、熱処理による上記ソース・ドレイン領域の拡散が抑えられ、その上部のゲート電極と自己整合的に形成することが可能となる。周辺回路部のMOSトランジスタのソース・ドレイン領域の拡散が抑えられるので、このMOSトランジスタのチャンネル長を短縮化しても、短チャンネル効果による問題が起こる虞れがない。従って、メモリ装置の高集積化及び高速化が実現できる。

(実施例)

本発明の好適な実施例を図面を参照しながら説明する。

本実施例はスタック型のメモリセルを有するDRAMにおいて第1層目のポリシリコン層によりメモリセル部のMOSトランジスタのゲート電極を形成し、メモリセル部のセルプレートと周辺回路部のMOSトランジスタのゲート電極を第3層目のポリシリコン層を用いて同時に形成する例である。

先ず、本実施例の半導体メモリ装置の構造を第1図を参照しながら説明する。

メモリセル部では、p型のシリコン基板1の表面に素子分離領域2が形成される。シリコン基板1上に形成されるゲート酸化膜3上及び上記素子分離領域2上に互いに所定の間隔を空けるパターンで第1層目のポリシリコン層からなるゲート電極4が形成される。このゲート電極4によりメモリセル部のMOSトランジスタがオン、オフが制御される。また、シリコン基板1の表面には上記MOSトランジスタのソース・ドレイン領域であるn+型の不純物領域5が形成される。この不純物領域5の一方は層間絶縁膜6の開口部を介して第2層目のポリシリコン層7に接続される。この第2層目のポリシリコン層7は隣接するゲート電極4の間の層間絶縁膜6上に延在し、蓄積ノードとして機能する。この第2層目のポリシリコン層7を覆ってONO構造(酸化膜/窒化膜/酸化膜の積層構造)を有する絶縁膜8が形成され、この絶縁膜8上に同じパターンで第3層目のポリシリ

コン層9が積層される。この第3層目のポリシリコン層8はセルプレートとして機能し、上記第2層目のポリシリコン層7との間に容量が形成される。この容量は層間絶縁膜6の段差を利用して3次元的に設けられ、第2層目のポリシリコン層7の上面と側壁に容量が形成されるので、大きなメモリ容量が得られる。この第3層目のポリシリコン層9及び絶縁膜8の側壁にはシリコン酸化膜等からなるサイドウォール膜11が形成される。上記第3層目のポリシリコン層9を含む全面には上記MOSトランジスタの他方の不純物領域5上で開口部17を有する層間絶縁膜12が形成される。この層間絶縁膜12上にアルミニウム層等によりビット線である配線層10が形成される。この配線層10は上記層間絶縁膜12の開口部17で不純物領域5の他方と接続される。第2層目のポリシリコン層7に蓄積された電荷は、上記MOSトランジスタがオンとなった時に、不純物領域5を介してこの配線層10に読み出される。

一方、周辺回路部では、シリコン基板1の表面

の素子分離領域2に囲まれた領域上にはゲート酸化膜として機能する絶縁膜8が形成される。この絶縁膜8はONO構造を有しているので、ホットキャリア効果によるデバイスの特性劣化が防止される。

この絶縁膜8上に周辺回路部のMOSトランジスタのゲート電極14が形成され、その側壁にはシリコン酸化膜等からなるサイドウォール膜11が設けられる。上記ゲート電極14はメモリセル部に設けられる容量のセルプレートと同様に第3層目のポリシリコン層からなる。即ち、ゲート電極14はメモリセル部のMOSトランジスタのゲート電極4よりも上層とされ、メモリセル部のMOSトランジスタの形成工程が完了した後形成される。

このようなゲート電極14と自己整合的に形成される n^+ 型の不純物領域15がシリコン基板1の表面に設けられる。この不純物領域15はゲート電極14をマスクとしてイオン注入により形成される。ゲート電極14がメモリセル部のMOS

トランジスタの形成工程が完了した後形成されるので、メモリセル部MOSトランジスタが形成された後熱処理を不純物領域15が経る回数が少なくなり、熱処理による不純物領域15の拡がりが増えらる。故に、このMOSトランジスタのチャンネル長を短縮化し、メモリ装置の高集積化及び高速化を図ることが可能となる。

また、シリコン基板1の表面には上記サイドウォール膜11と自己整合的に n^+ 型の不純物領域16が形成される。このように、周辺回路部のMOSトランジスタはLDD構造を有しており、ドレインの電界の集中を緩和できる。

上記ゲート電極14を覆って素子分離領域2上に延在する層間絶縁膜12が形成される。この層間絶縁膜12は不純物領域16上で開口部を有する。この層間絶縁膜12の開口部を介して不純物領域16と接続される配線層20が形成される。

ここで、本実施例の半導体メモリ装置の製造方法を説明する。

第2図(a)に示すように、 p 型のシリコン基板

21上にLOCOS法等により素子分離領域22を形成し、この素子分離領域22と選択的にゲート酸化膜23を形成する。

そして、メモリセル部では、ゲート酸化膜23及び素子分離領域22上に第1層目のポリシリコン層により所定のパターンのゲート電極24を形成する。このゲート電極24をマスクとしてシリコン基板21の表面にイオン注入により n^+ 型の不純物領域25を形成する。この不純物領域25はメモリセル部のMOSトランジスタのソース・ドレイン領域として機能する。なお、この工程では、周辺回路部には、ゲート電極24や不純物領域25等は形成されない。

そして、周辺回路部を除いてゲート電極24上を含むメモリセル部の全面にシリコン酸化膜等からなる層間絶縁膜26を形成した後、接続孔26aを開口するためのマスクを用いてエッチングを行う。その結果、上記MOSトランジスタの一方の不純物領域25で層間絶縁膜26及びゲート酸化膜23に接続孔26aが形成され、不純物領域

25の一方が露出する。この接続孔26aはメモリセル部のMOSトランジスタと容量との接続をとるために開口される。

第2図(b)に示すように、メモリセル部では、上記接続孔26aを埋め込んで層間絶縁膜26上に延在する第2層目のポリシリコン層27を形成する。この第2層目のポリシリコン層27はその端部が隣接するゲート電極24の上部にあるパターンとされ、上記接続孔26aで不純物領域25の一方に接続される。このような第2層目のポリシリコン層27は蓄積ノード部として機能する。

続いて、メモリセル部及び周辺回路部の全面にONO構造を有する絶縁膜28を形成する。この絶縁膜28は周辺回路部においてMOSトランジスタのゲート酸化膜として機能する。

そして、第2図(c)に示すように、上記絶縁膜28上の全面に第3層目のポリシリコン層29を積層した後、この第3層目のポリシリコン層29のパターニングを行う。このパターニングより、メモリセル部では第2層目のポリシリコン層27

の上層及び側壁を覆うパターンに第3層目のポリシリコン層29が積存され、同時に、周辺回路部では絶縁膜28上にゲート電極34が形成される。メモリアル部における上記第3層目のポリシリコン層29はセルプレートとして機能し、絶縁膜28を介して第2層目のポリシリコン層27との間に容量が形成される。このようなスタック型の容量を形成することにより、大きなメモリ容量が得られる。このように、メモリアル部の容量のセルプレートと周辺回路部のMOSトランジスタのゲート電極34を同時にパターンニングすることにより、周辺回路部のMOSトランジスタのゲート電極34はメモリアル部のMOSトランジスタのゲート電極24よりも上層とされ、メモリアル部のMOSトランジスタの形成工程が完了した後に形成されたものとなる。

続いて、メモリアル部の上部にレジスト層41を塗布する。そして、周辺回路部のゲート電極34をマスクとしてリン等のイオン注入を行い、周辺回路部のみのシリコン基板21の表面にゲート

絶縁膜28の側壁にもサイドウォール膜31が形成される。

第2図(4)に示すように、上述のイオン注入で使ったレジスト層41と同じパターンのレジスト層42を用いて周辺回路部のシリコン基板21の表面のみにヒ素等をイオン注入する。これにより、サイドウォール膜31と自己整合的に n^+ 型の不純物領域38が形成され、LDD構造を有するMOSトランジスタが形成される。

以上のように、本実施例では、第3層目のポリシリコン層を用いて周辺回路部のMOSトランジスタのゲート電極34をメモリアル部の容量のセルプレートと同時にパターンニングする。このゲート電極34をマスクとしてイオン注入を行って周辺回路部のMOSトランジスタのソース・ドレイン領域を形成することにより、このソース・ドレイン領域がメモリアル部のMOSトランジスタが形成された後の熱処理を経る回数が少なくなる。従って、熱処理による拡散が抑えられるため、周辺回路部のMOSトランジスタのチャンネル長を

電極34と自己整合的に n^+ 型の不純物領域35を形成する。この不純物領域35は周辺回路部のMOSトランジスタのソース・ドレイン領域の電界集中を緩和する。この不純物領域35はメモリアル部のMOSトランジスタの形成工程が完了した後に形成される。このため、例えばイオン注入を行って不純物領域25を形成した後に施されるアニール処理等のようなメモリアル部のMOSトランジスタが形成された後の熱処理を経る回数が少なくなる。従って、熱処理による不純物領域35の拡散が抑えられるので、周辺回路部のMOSトランジスタのチャンネル長を短縮化し、メモリ装置の高集積化及び高速化を図ることが可能となる。

そして、上記レジスト層41をフッシングした後、メモリアル部及び周辺回路部の全面にシリコン酸化膜等を形成する。そして、全面エッチバックを行って、周辺回路部のゲート電極34の側壁にサイドウォール膜31を形成する。この時、メモリアル部の3層目のポリシリコン層29及び絶

縁化させることが可能となり、半導体メモリ装置の高集積化及び高速化が実現される。

なお、本実施例では、配線層10と不純物領域5の接続部において、アルミニウム層を用いて配線が形成されるが、SOC(スピン・オン・グラス)膜を用いて予め開口部17を埋め込んだ後、配線層10を形成しても良い。即ち、第3図に示すように、先ず、開口部17に沿ってスパッタ法等によりバリアメタルとして機能する膜厚が1000Å程度のTi膜又はTiON膜等18を形成する。このTi膜又はTiON膜等18上にSOC(スピン・オン・グラス)膜19を形成して開口部17内に埋め込み、接続部における平坦化を行った後、スパッタ等を行って3000Å程度の膜厚のアルミニウム層による配線層10を形成する。このように、SOC膜19を用いて開口部17内を埋め込むことにより、この開口部17のアスペクト比が増大しても、良好なステップカバレッジが得られる。また、上記接続部における平坦性が確保されるので、開口部17上の配線層10

の膜厚ムラが防止される。

(発明の効果)

上述のように、本発明では、メモリセル部のMOSトランジスタを形成した後、周辺回路部のMOSトランジスタが形成されるため、熱処理による周辺回路部のMOSトランジスタのソース・ドレイン領域の不純物の拡散が抑えられることになり、周辺回路部のMOSトランジスタのチャンネル長を短縮化しても、短チャンネル効果による問題が起こる虞れない。故に、半導体メモリ装置の高集積化を図ることが可能となる。また、周辺回路部のMOSトランジスタのチャンネル長が短いので、高速化が実現できる。

また、本発明では周辺回路部のMOSトランジスタのゲート電極とメモリセル部のセルプレートと同じポリシリコン層を用いて形成するので、複雑な工程を必要とせずに、半導体メモリ装置の高集積化や高速化が可能となる。

更に、本発明では周辺回路部のMOSトランジ

スタのゲート絶縁膜をONO構造を有するメモリセル部の容量の絶縁膜と同時に形成することにより、ホットキャリアによる性能劣化が抑制される。

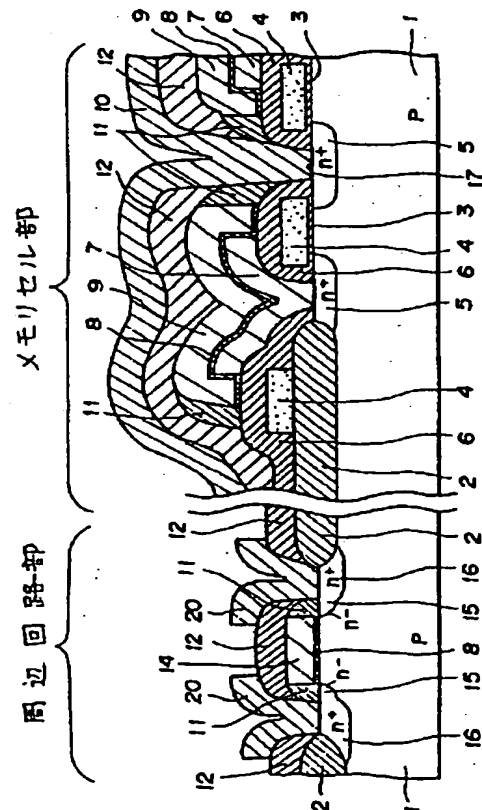
4. 図面の簡単な説明

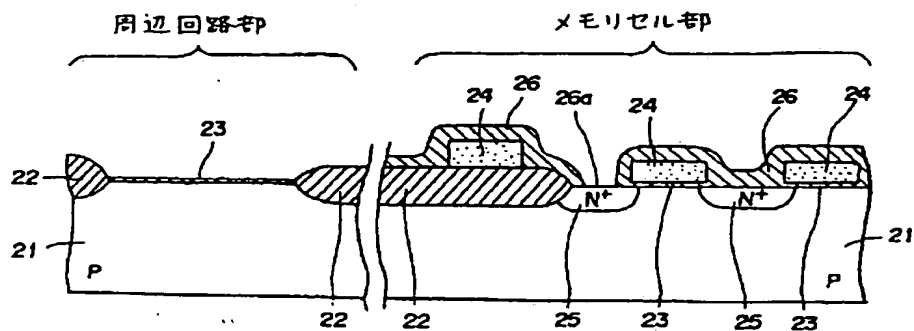
第1図は本発明の半導体メモリ装置の一例の要部断面図、第2図(a)乃至第2図(d)はその製造方法を製造工程順に従って説明するためのそれぞれ工程断面図、第3図は本発明の半導体メモリ装置の一例における応用例のメモリセル部の要部拡大断面図、第4図は従来の半導体メモリ装置の一例の断面図である。

- 1・・・シリコン基板
- 2・・・素子分離領域
- 3・・・ゲート酸化膜
- 4, 14・・・ゲート電極
- 5, 15・・・不純物領域

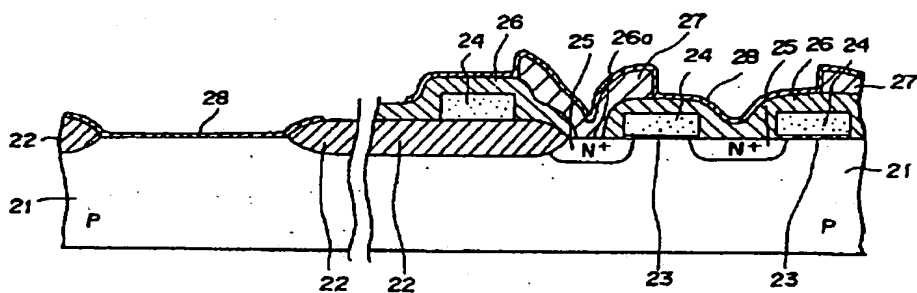
- 6, 12・・・層間絶縁膜
- 7・・・第2層目のポリシリコン層
- 8・・・絶縁膜
- 9・・・第3層目のポリシリコン層
- 10, 16・・・配線層
- 11・・・サイドウォール膜

特許出願人 ソニー株式会社
代理人 弁理士 小池 晃
田村 榮一
佐藤 勝

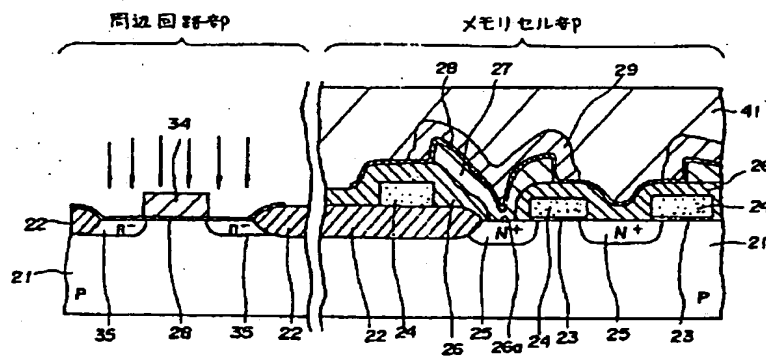




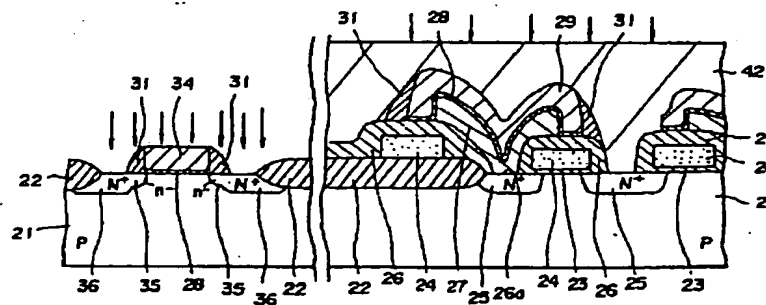
第2図(a)



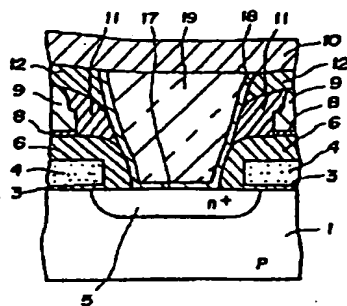
第2図(b)



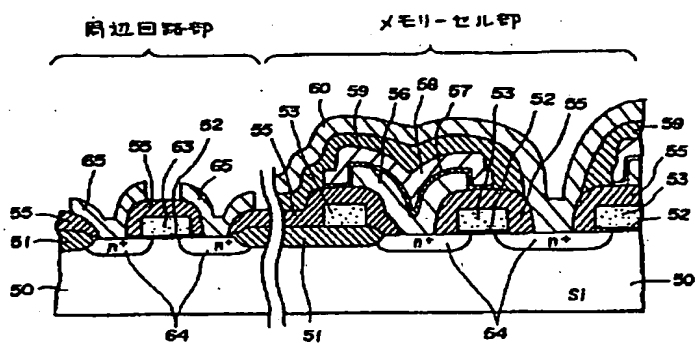
第2図(c)



第2図(d)



第 3 図



第 4 図